

[Handwritten signature]

2632
PATENT #14

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Yoshizumi HARAGUCHI
Appl. No.: 09/768,589 Group: 2632
Filed: January 25, 2001 Examiner: UNKNOWN
For: CIRCUIT FOR PROCESSING CHARGE DETECTING
SIGNAL

RECEIVED

AUG 30 2001

Technology Center 2600

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

Date: August 28, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-019198	January 27, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By *[Handwritten signature]*
Robert J. Patch, #17,355

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

Attachment

CERTIFIED COPY OF
PRIORITY DOCUMENT
日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

国
US

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

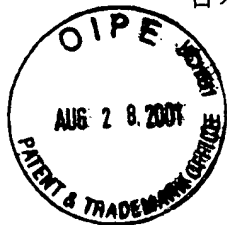
2000年 1月27日

願番号
Application Number:

特願2000-019198

願人
Applicant(s):

日本電気株式会社

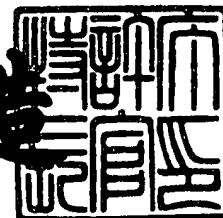


RECEIVED
AUG 30 2001
Technology Center 2600

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3073234

【書類名】 特許願

【整理番号】 75210220

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/796

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 原口 能純

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電荷検出信号処理回路

【特許請求の範囲】

【請求項 1】

電荷結合素子（CCD）から転送された電荷を蓄積するフローティングディフュージョンアンプに接続された第 1 のノードと、第 1 の電源ラインと出力端子との間に接続されゲートが前記第 1 のノードに接続されたエンハンスメント型の第 1 のトランジスタと、前記出力端子と第 2 の電源ラインとの間に接続されゲートに固定電位が供給される前記エンハンスメント型の第 2 のトランジスタとを備えることを特徴とする電荷検出信号処理回路。

【請求項 2】

前記固定電位は、前記第 1 の電源ラインと同一の電位であることを特徴とする請求項 1 記載の電荷検出信号処理回路。

【請求項 3】

前記第 1 及び第 2 のトランジスタは NMOS トランジスタであることを特徴とする請求項 1 記載の電荷検出信号処理回路。

【請求項 4】

電荷結合素子（CCD）から転送クロックに応答して転送された電荷を蓄積するフローティングディフュージョンアンプに接続された第 1 のノードと、第 1 の電源ラインと出力端子との間に接続されゲートが前記第 1 のノードに接続されたエンハンスメント型の第 1 のトランジスタと、前記出力端子と第 2 の電源ラインとの間に接続されゲートが第 2 のノードに接続された前記エンハンスメント型の第 2 のトランジスタと、前記転送クロックが供給されていない期間に前記第 2 のノードを固定電位に接続し、前記転送クロックが供給されている期間には前記第 2 のノードを前記固定電位から切り離す制御回路とを有することを特徴とする電荷検出信号処理回路。

【請求項 5】

前記第 2 のノードには前記固定電位を保持するための容量素子が接続されていることを特徴とする請求項 4 記載の電荷検出信号処理回路。

【請求項 6】

前記制御回路は、前記第 1 の電源ラインと第 3 のノードに接続された第 1 の抵抗素子と、前記第 3 のノードと前記第 2 の電源ラインとの間に接続された第 2 の抵抗素子と、前記第 2 のノードと前記第 3 のノードとの間に接続され制御端子に制御信号を受けるスイッチング素子とによって構成され、前記スイッチング素子は、前記制御信号により前記転送クロックが供給されていない期間に前記第 2 のノードを固定電位に接続し、前記転送クロックが供給されている期間には前記第 2 のノードを前記固定電位から切り離すように制御されることを特徴とする請求項 4 記載の電荷検出信号処理回路。

【請求項 7】

前記制御信号は、フォトダイオードに蓄積された電荷を CCD に転送するためのトランスファークゲートを駆動するトランスファークゲート駆動パルスであることを特徴とする請求項 6 記載の電荷検出信号処理回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は電荷検出信号処理回路に関し、特にソースフォロワ回路を用いた電荷検出信号処理回路に関する。

【 0 0 0 2 】

【従来の技術】

近年、電荷結合素子 (CCD) は、カメラ、ファクシミリ、コピー機等に広く使用され、このような装置に用いられている CCD に対して、当然のごとく画質を向上させるための特性向上が望まれている。画質向上のために改善すべき CCD の特性として、暗時ランダムノイズを低減することが考えられる。この暗時ノイズとは、CCD イメージセンサに光が当たらない状態での同一画素のレベルが画素 1 ラインの信号毎に変化する信号ばらつきのことである。このノイズ源の一つとして、CCD に用いられている出力バッファで生じる熱ノイズがある。熱ノイズは電荷のランダムな熱運動に起因して発生するものであり、すべての周波数帯域において同じレベルの平坦な周波数スペクトルを持っている。以下、熱ノイ

ズを発生する出力バッファとしてCCDに使用されているソースフォロワ回路について、従来例1及び従来例1の改良版としての従来例2について説明する。

【0003】

従来例1のソースフォロワ回路を、図7を参照して説明する。

【0004】

ソースフォロワ回路は、FDAにノードN1を介してゲートが接続され、電源VDDと出力端子Voutとの間にソース・ドレインが接続されたエンハンスメント型NMOSトランジスタ701と、ノードN2にゲートが接続され、出力端子Voutと電源GNDとの間にソース・ドレインが接続されたエンハンスメント型NMOSトランジスタ702と、電源VDDとノードN2との間に接続された抵抗704と、ノードN2と電源GNDとの間に接続された抵抗705と、ゲートにリセットパルス ϕ_R が入力され、電源VDDとノードN1との間にソース・ドレインが接続されたデプレッション型NMOSトランジスタ703とから構成され、FDAに転送された電荷はリセットパルス ϕ_R がデプレッション型NMOSトランジスタ703に印加されることによってリセットされている。

【0005】

従来例1のソースフォロワ回路では、トランジスタ702は電流源として動作し、トランジスタを流れる電流を制御し、ソースフォロワ回路の電流量やオフセット電圧を調整する必要があるため、抵抗704と抵抗705とによって構成される分圧回路が使用されていた。そのため、分圧回路によって発生する熱ノイズがエンハンスメント型NMOSトランジスタ702のゲートに入力され、その結果、ソースフォロワ回路の出力Voutのランダムノイズが増加してしまうという問題があった。

【0006】

ソースフォロワ回路の出力端子Voutで観測される熱ノイズとしては、ソースフォロワ回路を構成するNMOSトランジスタ自体によるノイズ(V_{n1})、FDAから駆動側トランジスタ701のゲートに入力されるノイズによりソースフォロワ出力に観測されるノイズ(V_{n2})、そして分圧回路出力から負荷側トランジスタ702のゲートに入力されるノイズによりソースフォロワ回路の出力

に観測されるノイズ (V_{n3}) の3つが考えられる。これらのノイズは互いに独立したノイズ源に起因するものなので、従来例1のソースフォロワ出力端2で観測される熱ノイズに起因するノイズ電圧 V_{no} は、

$$V_{no} = \sqrt{(V_{n1}^2 + V_{n2}^2 + V_{n3}^2)} \dots\dots\dots \textcircled{1}$$

となる。ただし、 2 は2乗をあらわす。

【0007】

ここで、ノイズ V_{n1} は、ソースフォロワ回路自体のノイズ、 V_{n2} はソースフォロワ回路に入力されるノイズであり、本発明で問題としているノイズとは直接関係無いため、説明を省略する。

【0008】

次に、従来例1の負荷側トランジスタ702のゲートから入力される熱ノイズ電圧 V_{no2} について考えるため、まず、抵抗体により発生する熱ノイズについて説明する。抵抗より発生する熱ノイズ電圧 V_n は次式で表される。

$$V_n = \sqrt{(4k \cdot T \cdot R \cdot \Delta f)} \dots\dots\dots \textcircled{2}$$

k : ボルツマン定数、 T : 絶対温度、 R : 抵抗値、 Δf : ノイズ帯域幅

ここで従来例1の抵抗704、705からなる分圧回路の分圧電圧出力端N2からノイズレベルが0の端子(電源VDD、GND)に対しての抵抗を考えると、抵抗704、705の抵抗値をそれぞれ R_1 、 R_2 とすると、抵抗704、705の並列抵抗となるため、合成抵抗値 R は

$$R = (R_1 \cdot R_2) / (R_1 + R_2) \dots\dots\dots \textcircled{3}$$

であり、従来例1における分圧回路で発生する熱ノイズ電圧 V_{no2} は②式に③式を代入して

$$V_{no2} = \sqrt{[4k \cdot T \cdot \{(R_1 \cdot R_2) / (R_1 + R_2)\} \cdot \Delta f]} \dots\dots\dots \textcircled{4}$$

となる。

【0009】

続いて、分圧回路熱ノイズ電圧 V_{no2} に起因するソースフォロワ出力のノイズ電圧 V_{n3} について説明する。従来例1のソースフォロワ回路において、ノイズが負荷側トランジスタ702のゲートのみに入力された場合の回路を図3に示

す。ただし、図3では図1のトランジスタ701をトランジスタ301とし、トランジスタ702をトランジスタ302として説明している。また、負荷側トランジスタ302のゲートに入力されるノイズ成分だけを考慮するため、駆動側トランジスタ301のゲートに入力されるノイズは無視している。したがって、駆動側トランジスタ301のゲートは、リセットトランジスタがONされて電源電圧VDDと同じになった回路として表される。すなわち、エンハンスメント型NMOSトランジスタ301は、ドレインとゲートが電源VDDに接続され、ソースはソースフォロワ出力端子Voutに接続され、エンハンスメント型NMOSトランジスタ302は、ドレインがソースフォロワ出力端子Vout、ゲートがノードN2、そしてソースが電源GNDにそれぞれ接続される。この回路はNMOSインバータと同じ構成であり、ノイズ電圧Vn3は、分圧回路熱ノイズ電圧Vno2にNMOSインバータのゲインをかけた値となる。そこで、図3に示すようなNMOSインバータの場合、ゲインAvは、NMOSトランジスタの伝達コンダクタンスが、基板バイアスによる伝達コンダクタンスとチャネル変調効果によるチャネルコンダクタンスより十分大きいとすると、次式のようになる。

$$A_v = -(g_{m2} / g_{m1}) \dots\dots\dots \textcircled{5}$$

g_{m1} : NMOSトランジスタ301の伝達コンダクタンス

g_{m2} : NMOSトランジスタ302の伝達コンダクタンス

従って、分圧回路熱ノイズ電圧Vno2に起因するソースフォロワ出力端2のノイズ電圧Vn3は、

$$V_{n3} = \sqrt{[-(g_{m2} / g_{m1}) \cdot V_{no2}]^2} \dots\dots\dots \textcircled{6}$$

となる。

【0010】

⑥式より、分圧回路起因の熱ノイズを下げるためには g_{m1} を大きく、また g_{m2} を小さくすることが有効であることがわかる。しかしながら、負荷側トランジスタの伝達コンダクタンス g_{m2} を小さくすることはある程度可能であるが、駆動側トランジスタ301の伝達コンダクタンス g_{m1} を大きくすると、FDAの検出容量が下がるなどの弊害があるため、 g_{m1} を十分大きくすることが難しい。よって分圧回路の熱ノイズがソースフォロワ回路の全体ノイズの中で占める

割合が大きくなる場合があり、負荷側トランジスタのゲートにノイズ入力がない、図 8 のような改良型のソースフォロワ回路が多く用いられてきた。

【0011】

この従来例 2 の改良型ソースフォロワ回路は、F D A にノード N 1 を介してゲートが接続され電源 V D D と出力端子 V o u t との間にソース・ドレインが接続されたエンハンスメント型 N M O S トランジスタ 8 0 1、出力端子 V o u t と電源 G N D との間にソース・ドレインが接続され、ゲートが電源 G N D に接続されたデプレッション型 N M O S トランジスタ 8 0 2 と、電源 V D D とノード N 1 との間にソース・ドレインが接続され、ゲートにリセットパルス ϕ_R が印加されたデプレッション型 N M O S トランジスタ 8 0 3 とから構成されている。

【0012】

このような回路構成のため、従来例 1 では発生していた分圧回路による熱ノイズが発生せず、出力端子 V o u t に発生するノイズは、式①から V n 3 を除いた小さなものとなる。

【0013】

【発明が解決しようとする課題】

しかしながら、従来例 2 のソースフォロワ回路では、従来例 1 の分圧回路を用いる代わりにデプレッション型 N M O S トランジスタ 8 0 2 を用いているので熱ノイズの発生を押さえることができるものの、C C D の拡散プロセスにおいてデプレッション型トランジスタの閾値電圧はエンハンスメント型トランジスタの閾値電圧に対して約 5 倍ほどばらつきが大きく、 $\pm 1 \text{ V}$ もばらついてしまう。その結果、ソースフォロワ回路における入出力特性も大きくばらついてしまうという問題がある。その理由は以下のとおりである。

【0014】

近年、C C D の多くでは、C C D 自体に埋め込みチャネル型 C C D が用いられており、工程の増加を押さえるためにデプレシヨントランジスタのチャネルも C C D の埋め込みチャネルと同じ工程で形成されている。そして、C C D の埋め込みチャネル形成には、P 基板上に N ウェル領域を形成する工程で熱拡散を行っている。これにより、C C D の埋め込みチャネルと同一の工程でチャネルを形成さ

れたデプレッショントランジスタは、通常のデプレッショントランジスタ形成方法を用いた場合に比べ、閾値電圧のばらつきが大きくなる。その理由は、CCDの埋め込みチャネルを形成する工程の方が、通常のデプレッショントランジスタよりも不純物のドーズ量が多いこと及び、不純物の拡散時間が長いことにより、プロファイルにばらつきが起こりやすいためである。そして、閾値電圧がばらつくことによって、ソースフォロワ入出力特性がばらつくという問題を生じることになっていた。

【 0 0 1 5 】

したがって、本発明の目的は、ノイズを低減すると共に、ソースフォロワ入出力特性のばらつきを抑えた電荷検出信号処理回路を提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

本発明の第1の電荷検出信号処理回路は、電荷結合素子（CCD）から転送された電荷を蓄積するフローティングディフュージョンアンプに接続された第1のノードと、第1の電源ラインと出力端子との間に接続されゲートが前記第1のノードに接続されたエンハンスメント型の第1のトランジスタと、前記出力端子と第2の電源ラインとの間に接続されゲートに固定電位が供給される前記エンハンスメント型の第2のトランジスタとを備えることを特徴とする。

【 0 0 1 7 】

このように、第1及び第2のトランジスタをエンハンスメント型トランジスタで構成することによって、製造上のばらつきに基づく電荷検出信号処理回路の特性劣化を防止することができる。

【 0 0 1 8 】

また、本発明の第2の電荷検出信号処理回路は、電荷結合素子（CCD）から転送クロックに応答して転送された電荷を蓄積するフローティングディフュージョンアンプに接続された第1のノードと、第1の電源ラインと出力端子との間に接続されゲートが前記第1のノードに接続されたエンハンスメント型の第1のトランジスタと、前記出力端子と第2の電源ラインとの間に接続されゲートが第2のノードに接続された前記エンハンスメント型の第2のトランジスタと、前記転

送クロックが供給されていない期間に前記第2のノードを固定電位に接続し、前記転送クロックが供給されている期間には前記第2のノードを前記固定電位から切り離す制御回路とを有することを特徴とする。

【0019】

このように、第2のトランジスタと固定電位とを転送クロックが供給されているときに切り離すことによって、固定電位を発生させている回路からの熱ノイズを遮断することができ、電荷検出信号処理回路の特性を向上させることができる。

【0020】

【発明の実施の形態】

以下、本発明の実施の形態について、説明する。

【0021】

本発明による電荷検出信号処理回路では、ソースフォロワ回路を構成する駆動トランジスタと負荷トランジスタとがエンハンスメントトランジスタによって構成されている。

【0022】

本発明の第1の実施例の回路構成を図1に示す。

【0023】

電荷検出信号処理回路は、F D Aを入力とするソースフォロワ回路本体とF D Aをリセットする為のリセットトランジスタから構成されている。ソースフォロワ回路は、電源V D Dと出力端子V o u tとの間にソース・ドレインが接続されゲートがノードN 1を介してF D Aに接続されたエンハンスメント型N M O Sトランジスタ1 0 1と、出力端子V o u tと電源G N Dとの間にソース・ドレインが接続されゲートが電源V D Dに接続されたエンハンスメント型N M O Sトランジスタ1 0 2とから構成されており、駆動側がトランジスタ1 0 1、負荷側がトランジスタ1 0 2である。そして、リセットトランジスタ1 0 3は、電源V D DとノードN 1との間にソース・ドレインが接続され、ゲートにリセットパルス ϕ Rを受けるデプレション型N M O Sトランジスタによって構成され、リセットトランジスタ1 0 3は、リセットパルス ϕ Rが印可されることによりF D Aに蓄積

された電荷をリセットする。

【 0 0 2 4 】

第 1 の実施例の回路においては、F D A に電荷が入ることによる電位変化が駆動側トランジスタ 1 0 1 のゲートの電位変化となり、ソースフォロワ回路は、電位変化を検出し出力する。リセットトランジスタ 1 0 3 は、リセットパルス ϕ_R が印加されることにより ON し、F D A の電位を電源 V D D と同一にするものであり、ソースフォロワの入力オフセット電圧は電源電圧と同電位になる。

【 0 0 2 5 】

このソースフォロワ回路の出力端子 V o u t で観測される熱ノイズ電圧 V n o は、ソースフォロワ回路を構成する N M O S トランジスタの抵抗成分による熱ノイズ電圧 V n 1、F D A から駆動側トランジスタ 1 0 1 に入力される熱ノイズに起因するノイズ電圧 V n 2 によって、次のように記述される。

【 0 0 2 6 】

$$V n o = \sqrt{(V n 1 ^ 2 + V n 2 ^ 2)} \dots\dots\dots \textcircled{7}$$

したがって、第 1 の実施例では、図 4 に示すように、従来例 1 で存在したノイズ電圧 V n 3 を無くすることができると共に、負荷トランジスタとしてエンハンスメント型トランジスタを用いているため、閾値のばらつきを低減することができソースフォロワ回路の入出力特性のばらつきも低減することができる。(図 4 中 A : 従来例 1 のノイズ、B : 実施例 1 のノイズ、f c : ソースフォロワ回路のカットオフ周波数)

また、分圧回路が削除されていることにより、分圧回路で消費される電流がなくなり、消費電力を低減することができると共に、レイアウト面積(占有面積)が小さくてすむため高集積化に向いている。

【 0 0 2 7 】

しかしながら、第 1 の実施例においては、負荷トランジスタのゲートが電源 V D D に直接接続されているため、負荷トランジスタの特性を変更することが困難であり、ひいてはソースフォロワ回路の特性を変更することが困難となる。そこで、ばらつきおよびノイズ特性を悪化させること無く、さらにソースフォロワ回路の特性を変更することができる電荷検出信号処理回路の第 2 の実施例を以下に

示す。

【 0 0 2 8 】

第 2 の実施例の回路構成を図 2 に示す。なお、図 2 には説明のため、電荷検出信号処理回路の他に、CCD 部の概略図を追加している。

【 0 0 2 9 】

CCD 部は、フォトダイオードを 1 0 0 0 個を並べたフォトダイオード部 2 0 7 と、フォトダイオード部 2 0 7 で発生した電荷を CCD レジスタ部 2 1 2 へ転送するトランスファークゲート部 2 0 8、CCD レジスタ部 2 1 2 で転送された電荷を検出する FDA 2 0 9、FDA 2 0 9 をリセットするリセットゲート 2 1 0、及びリセットドレイン 2 1 1 からなる。トランスファークゲート部 2 0 8 には、クロックパルス ϕ TG が、CCD レジスタ部には、互いに逆相の駆動クロックパルス ϕ 1、 ϕ 2 が、リセットゲート 2 1 0 にはリセットパルス ϕ R が、それぞれ印可される。なお、CCD レジスタ駆動クロックパルスの最終段は ϕ 2 とする。

【 0 0 3 0 】

電荷信号処理回路は、FDA 2 0 9 にノード N 1 を介してゲートが接続され、電源 VDD と出力端子 Vout との間にソース・ドレインが接続されたエンハンスメント型 NMOS トランジスタ 2 0 1、ノード N 3 にゲートが接続され出力端子 Vout と電源 GND との間にソース・ドレインが接続されたエンハンスメント型 NMOS トランジスタ 2 0 2、電源 VDD とノード N 2 との間に接続された抵抗 2 0 3、ノード N 2 と電源 GND との間に接続された抵抗 2 0 4、ゲートにクロックパルス ϕ TG が印加されノード N 2 とノード N 3 との間にソース・ドレインが接続されたエンハンスメント型 NMOS トランジスタ 2 0 5、およびノード N 3 と電源 GND との間に接続された容量 2 0 6 から構成されている。

【 0 0 3 1 】

図 2 の回路における各入力クロックパルスのタイミングを、図 6 に示す。駆動クロックパルスの最終段を ϕ 2 としているため、FDA へ転送される電荷は ϕ 2 の立ち下がりに同期したものとなり、ソースフォロワ出力波形 Vout も図のように ϕ 2 の立ち下がりにあわせて出力される。また、リセットゲートがリセットパルス ϕ R で駆動されることにより、FDA 2 0 9 の電位は電源電圧 VDD にリ

セットされる。第 2 の実施例における CCD 部ではフォトダイオードの数を 1 0 0 0 個にしているため、ソースフォロワ出力波形 V_{out} も図中に示した番号のように 1 - 1 0 0 0 まで出力される。ここでトランスファークラーク駆動パルス ϕ_{TG} は、フォトダイオードから CCD レジスタへ電荷を転送するパルスであるため、CCD レジスタ駆動パルスのストップ期間に ON する。そして図 6 からわかるように、トランスファークラーク駆動パルス ϕ_{TG} は、CCD レジスタ駆動周期の約 1 0 0 0 倍の駆動周期となる。

【 0 0 3 2 】

第 2 の実施例においては、ソースフォロワの負荷側トランジスタ 2 0 2 のゲート電圧 V_3 は、エンハンスメント型 NMOS トランジスタ 2 0 5 がトランスファークラーク駆動パルス ϕ_{TG} のハイレベルに応答して ON することにより分圧回路出力電圧 V_2 と同じとなり、トランジスタ 2 0 5 がトランスファークラーク駆動パルス ϕ_{TG} のローレベルに응答して OFF する事により、トランジスタ M 2 のゲート電圧 V_3 は、分圧回路出力電圧と同じ電圧で容量 2 0 6 によってホールドされる。これによりソースフォロワの入出力特性は従来例 1 の回路と同様のものとなる。

【 0 0 3 3 】

このように、接続点 N 3 の電圧 V_3 がホールドされている期間では、抵抗 2 0 3 と 2 0 4 とによって構成される分圧回路と負荷側トランジスタ M 2 のゲートとが電氣的に分離されるため、分圧回路の熱ノイズは、分離されている期間内では接続点 N 3 に影響しない。但し、電圧 V_3 をトランスファークラーク駆動パルス ϕ_{TG} でホールドすることにより、ノイズがトランスファークラーク駆動パルス ϕ_{TG} の駆動周波数の $1/2$ 以下の帯域に折り返されるため、接続点 N 3 の低域ノイズは増加する場合もあり得る。しかし、②式よりわかるように、低い周波数帯域に限定されると熱ノイズは小さくなる。そして、クロックパルス ϕ_{TG} の駆動周波数は CCD 出力信号周波数より遙かに低いため（実施例 2 では約 $1/1000$ ）、第 2 の実施例におけるソースフォロワ出力ノイズは、図 7 に示すように低減される。（図 7 中 A : 従来例 1 のノイズ、B : 第 2 の実施例のノイズ、 f_c : ソースフォロワ回路のカットオフ周波数）

このように、第2の実施例では、トランジスタ202のゲート電圧に分圧回路の出力電圧を用いてもノイズの増加がほとんどない。よってトランジスタ202のゲート電圧をGND-VDD間の任意のものとする事ができるため、第1の実施例のようにソースフォロワの負荷側トランジスタのゲート電圧を電源電圧あるいはGNDに固定として設計をする場合と比較して、ソースフォロワの特性や設計方法の自由度が広がる。

【0034】

第2の実施例では、抵抗を用いた分圧回路を用いて説明したが、トランジスタを用いた分圧回路や、容量を用いた分圧回路を用いて良いことは明らかであり、トランジスタ205のゲートに入力されるパルスは、トランスファークゲート駆動パルス ϕ_{TG} の整数倍周期でなかつON期間がCCDレジスタ駆動クロックのストップ期間にあるものであれば、トランスファークゲート駆動パルス ϕ_{TG} 以外の駆動パルスでもよい。また、第2の実施例におけるトランジスタ205は、スイッチとして用いているためPMOSトランジスタで構成することができる。その場合、PMOSトランジスタへのゲート入力パルスは反転させる必要がある。

【0035】

さらに、本発明の趣旨を逸脱しない範囲で、種々の変更が可能であることは、言うまでもない。

【0036】

【発明の効果】

上述のとおり、本発明によれば、CCDからFDAに転送された信号を処理する電荷検出信号処理回路のノイズ特性及び入出力特性を向上させることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例による電荷検出信号処理回路

【図2】 本発明の第2の実施例による電荷検出信号処理回路

【図3】 NMOSインバータの回路図

【図4】 従来例1と第1の実施例とのノイズ特性を示すグラフ

【図5】 従来例1と第2の実施例とのノイズ特性を示すグラフ

【図 6】 第 2 の実施例の動作タイミング図

【図 7】 従来例 1 の電荷検出信号処理回路

【図 8】 従来例 2 の電荷検出信号処理回路

【符号の説明】

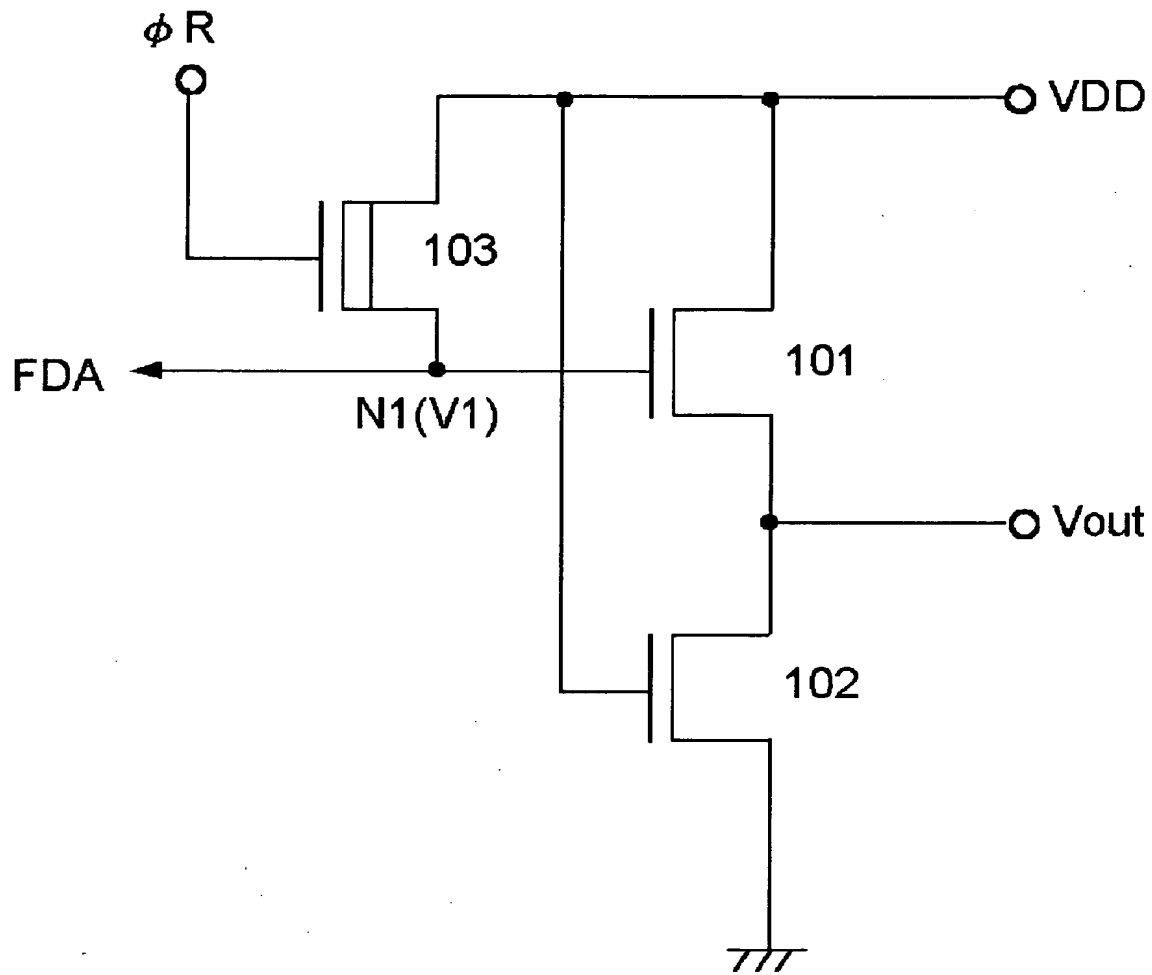
1 0 1、1 0 2、2 0 1、2 0 2、2 0 5 エンハンスメント型 NMOS トラン
ジスタ

2 0 3、2 0 4 抵抗

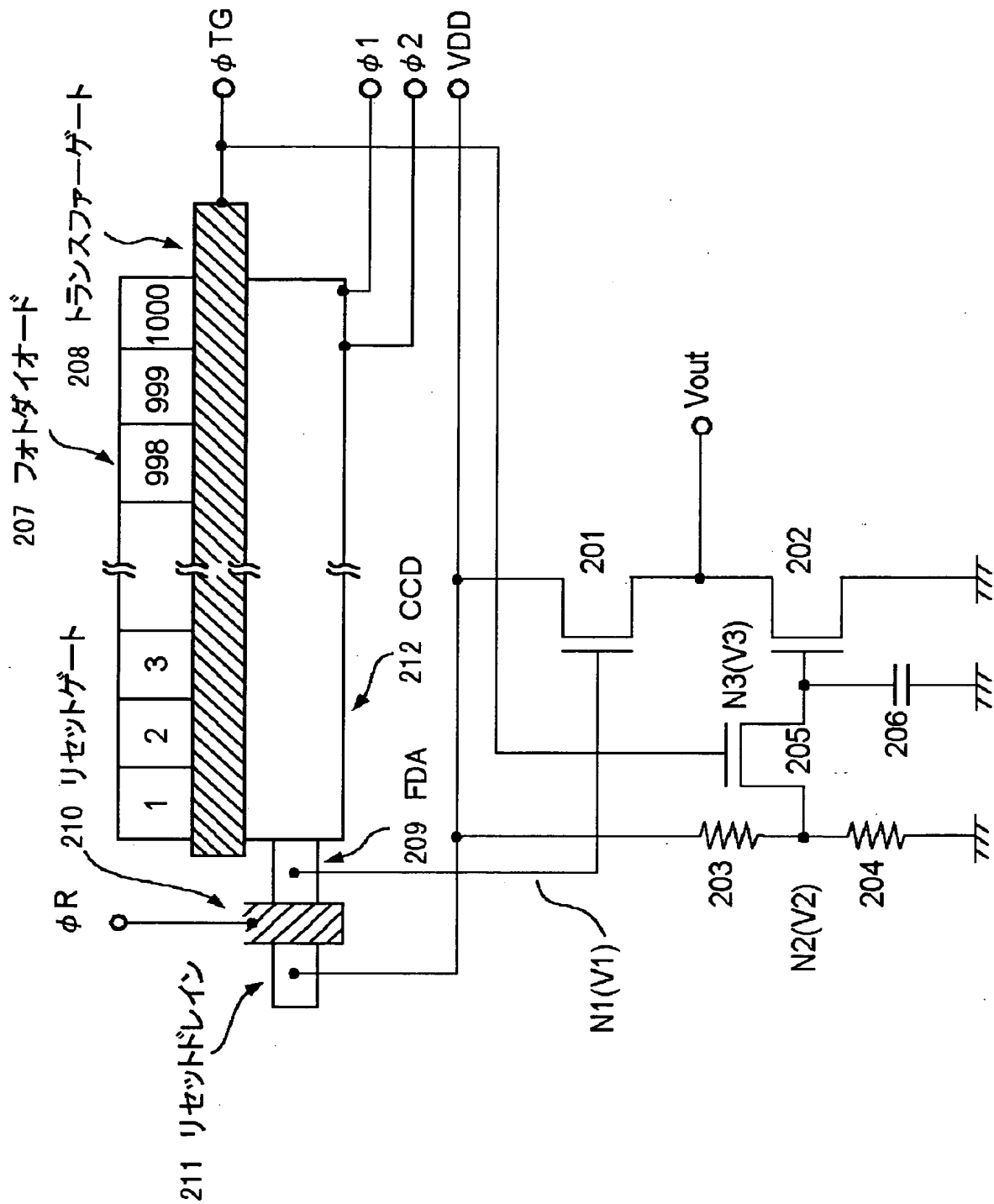
2 0 6 容量

【書類名】 図面

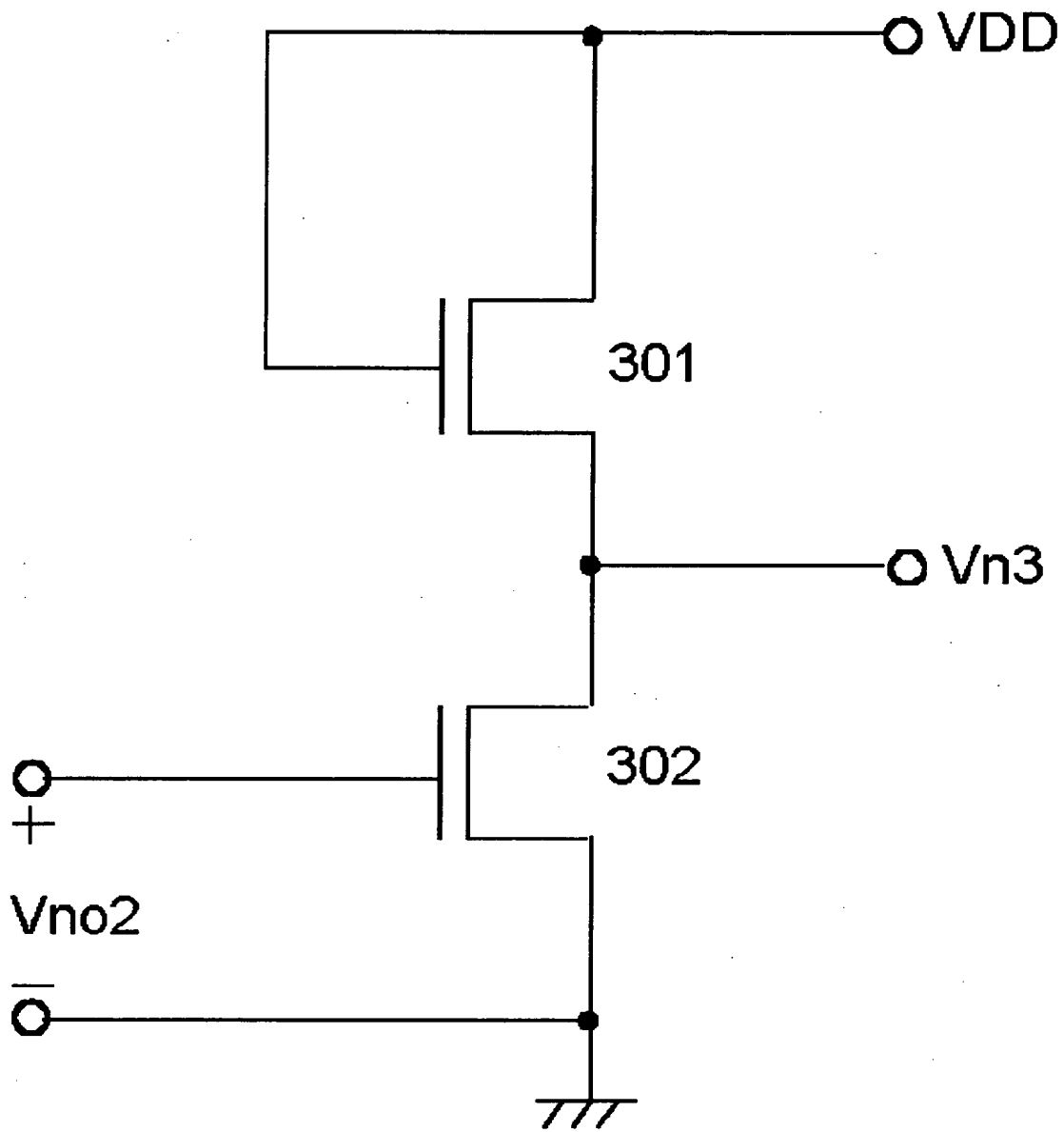
【図 1】



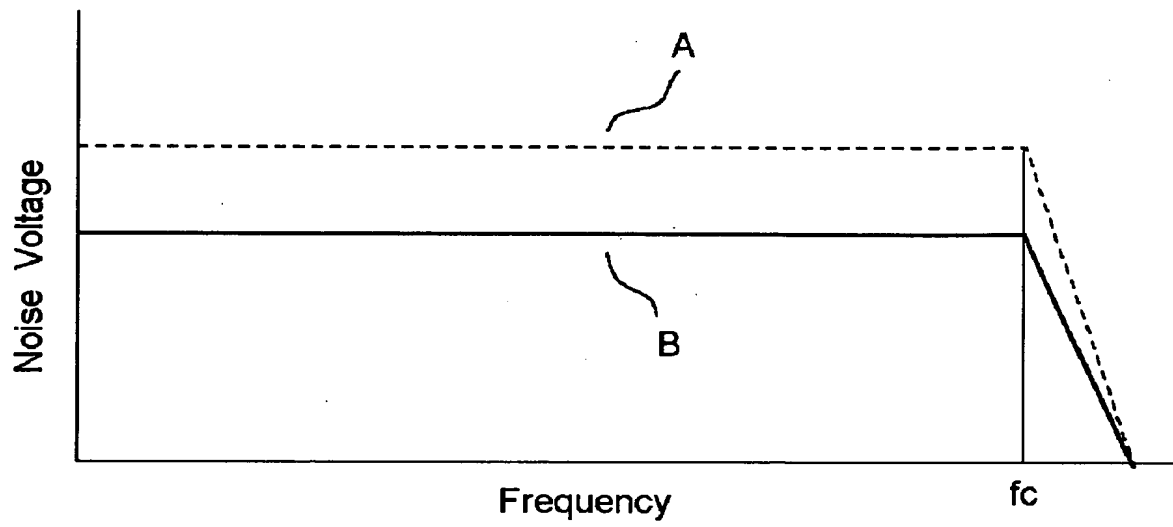
【図 2】



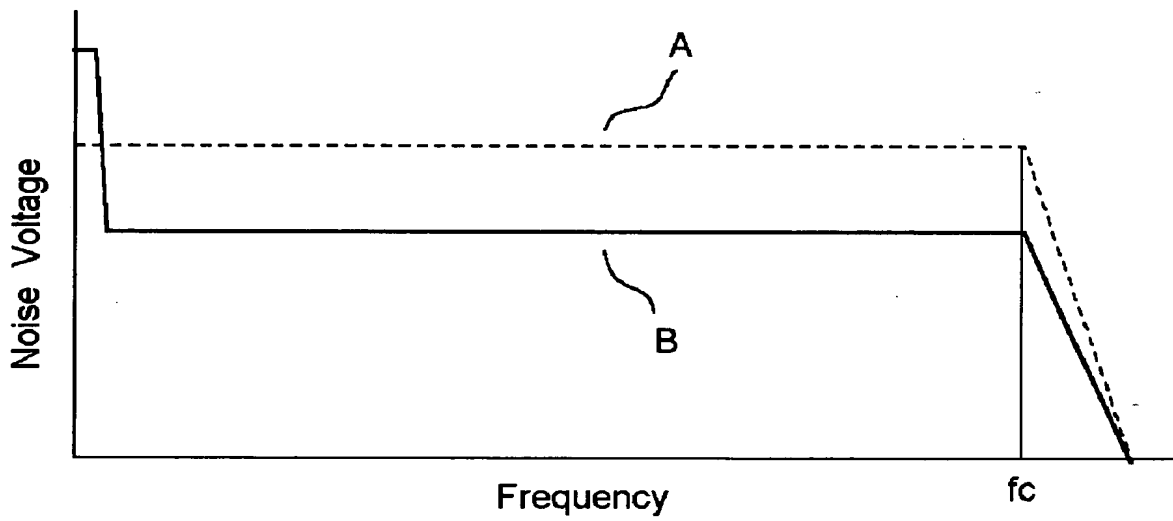
【図 3】



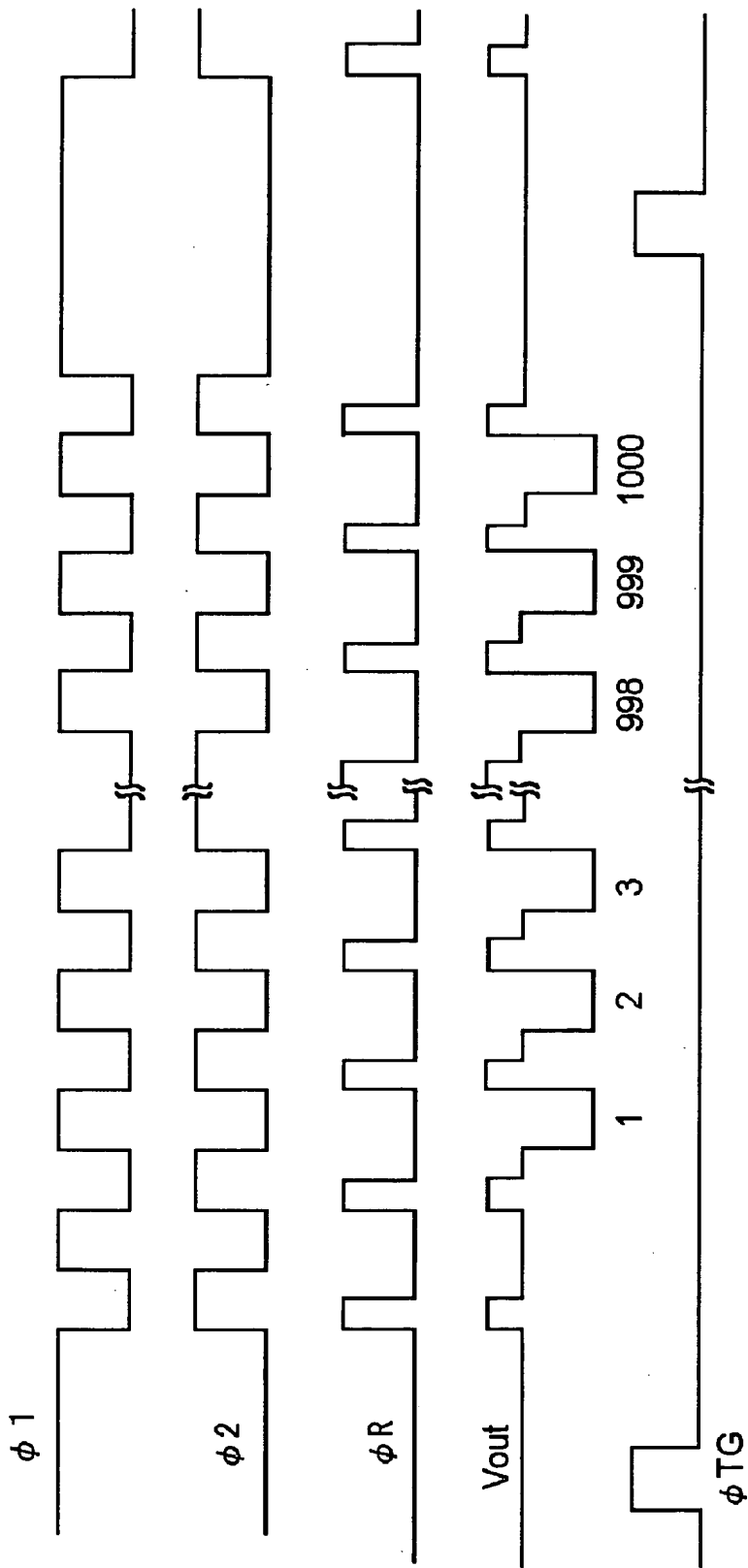
【図 4】



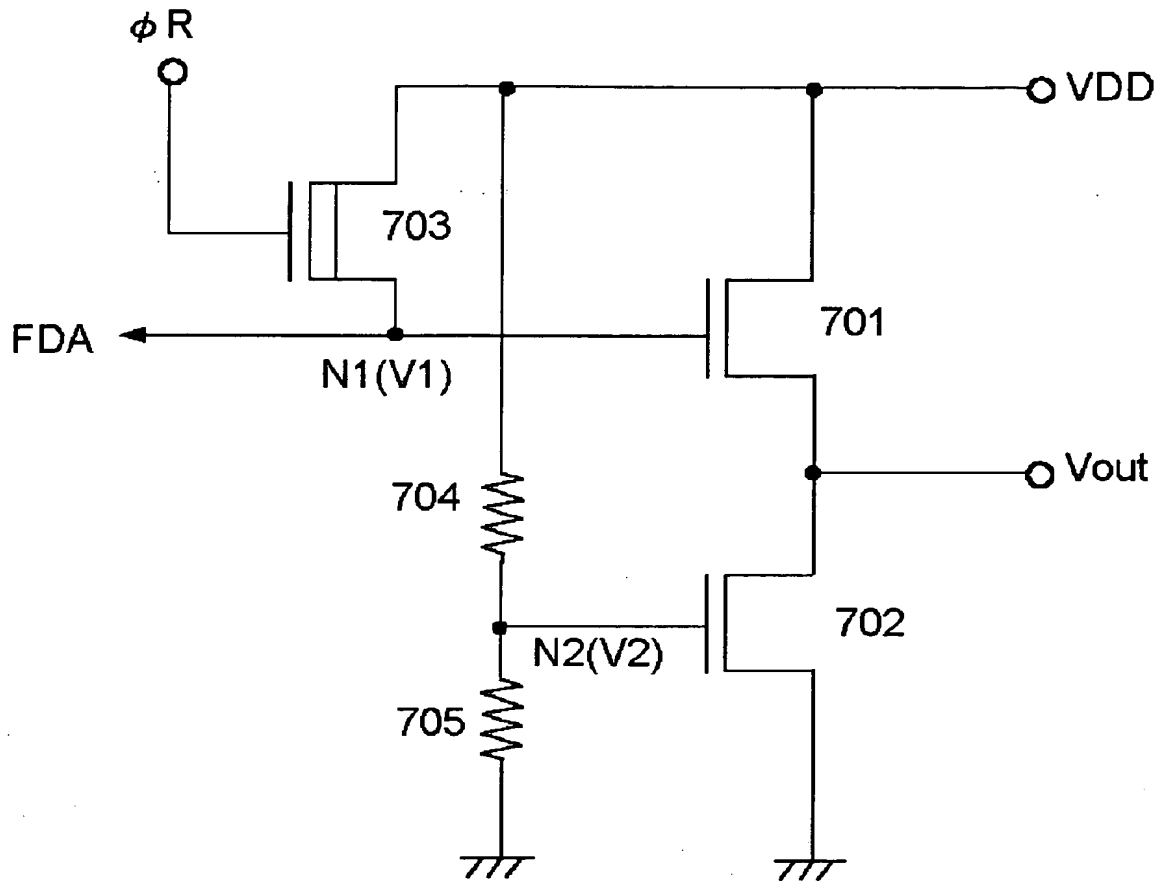
【図 5】



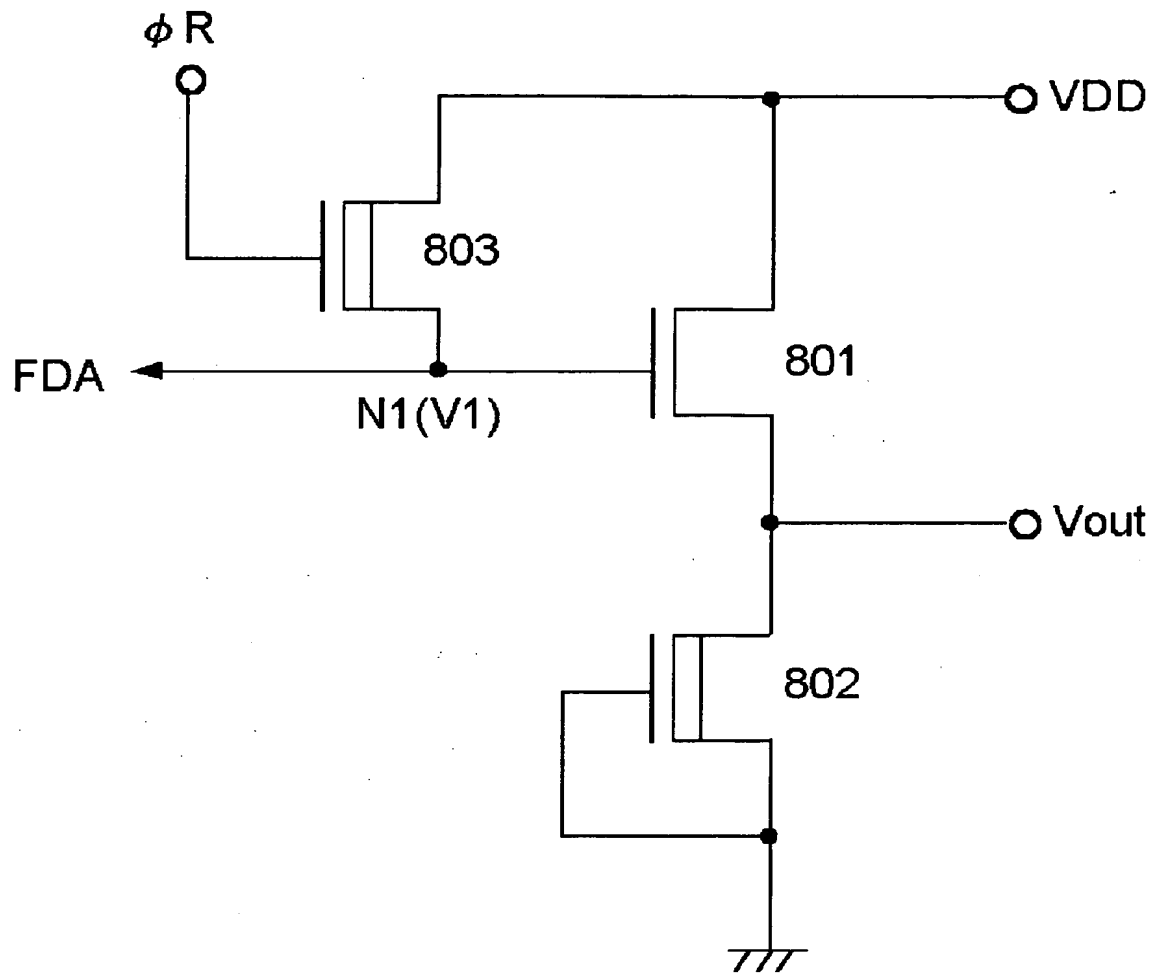
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 CCDからFDAに転送された信号を処理する電荷検出信号処理回路のノイズ特性及び入出力特性を向上させること。

【解決手段】 ゲートがFDAに接続されソース・ドレインが電源VDDと出力端子Voutとの間に接続されたエンハンスメントNMOSトランジスタ101と、ゲートが電源VDDに接続されソース・ドレインが出力端子Voutと電源GNDとの間に接続されたエンハンスメント型NMOSトランジスタ102とを備える。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-019198
受付番号	50000088354
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 1月28日

<認定情報・付加情報>

【提出日】	平成12年 1月27日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社